

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-257381

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H04N 5/235

(21)Application number : 09-057426

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 12.03.1997

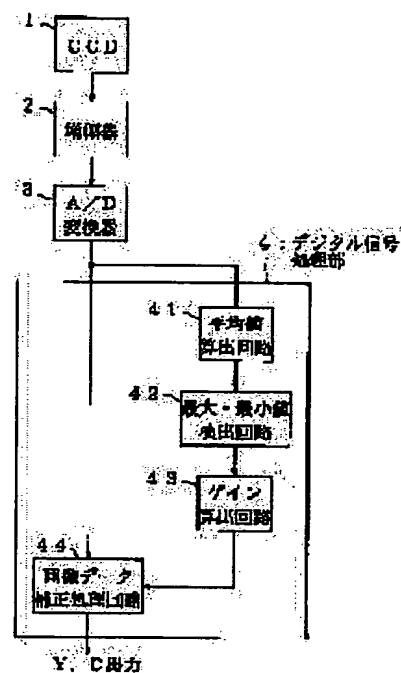
(72)Inventor : SHIRAISHI YUMIKO  
YAMASHITA MASAOKI

## (54) FLICKER CORRECTION DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To allow a digital signal processing circuit to conduct flicker correction through only signal processing with respect to an image-pickup device.

SOLUTION: A mean value calculation circuit of a digital signal processing section 4 divides a pixels of an input video signal of one field from a CCD 1 into a plurality of blocks in the horizontal direction for calculating a means value of luminance for each block. A maximum/minimum value detection circuit 42 detects a maximum value and a minimum value of the mean values of the luminance for each block. A gain calculation circuit 43 calculates a correction coefficient for correcting the gradation for each field based on the maximum value and the minimum value of the detected luminance. An image data correction processing circuit 44 corrects the luminance value by using data from one preceding period, based on the period of the luminance change due to flickers.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-257381

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.<sup>6</sup>

H 0 4 N 5/235

識別記号

F I

H 0 4 N 5/235

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平9-57426

(22) 出願日 平成9年(1997) 3月12日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 白石 由美子

香川県高松市古新町8番地の1 松下寿電  
子工業株式会社内

(72) 発明者 山下 正明

香川県高松市古新町8番地の1 松下寿電  
子工業株式会社内

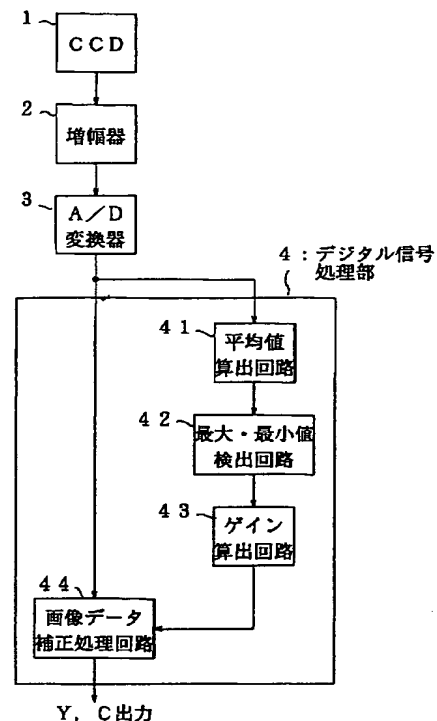
(74) 代理人 弁理士 岡本 宜喜

(54) 【発明の名称】 フリッカ補正装置

(57) 【要約】

【課題】 撮像装置において、フリッカ補正をデジタル信号処理回路の信号処理のみで行えるようにすること。

【解決手段】 デジタル信号処理部4の平均値算出回路41は、CCD1からの1フィールドの入力映像信号に対して、画素を水平方向に複数のブロックに分割し、ブロック毎の輝度の平均値を算出する。最大・最小値検出回路42は輝度の平均値の最大値及び最小値を検出する。ゲイン算出回路43は検出した輝度の最大値及び最小値から、フィールド毎の階調を補正するための補正係数を算出する。画像データ補正処理回路44はフリッカによる輝度変化の周期に基づき、1周期前のデータを用いて輝度値を補正する。



【特許請求の範囲】

【請求項1】 輝度が周期的に変化する照明光の元で被写体を撮像したとき、撮像素子から得られる映像信号のフリッカを補正するフリッカ補正装置であって、前記撮像素子から得られる入力映像信号の画素を複数のブロックに分割し、分割されたブロック毎の輝度の平均値を算出する平均値算出手段と、

フィールド毎に、前記平均値算出手段で算出された各ブロックの輝度の平均値のうちの最大値及び最小値を検出する最大・最小値検出手段と、

前記最大・最小値検出手段で検出した最大値及び最小値から、フィールド毎の階調を補正するための補正係数を算出する補正量算出手段と、

入力映像信号に生じたフリッカ周期を $T_f$ とすると、時間 $T_f$ 前に得られたフィールドの映像信号に対する前記補正係数を用いて入力映像信号の階調補正を行う階調補正手段と、を具備することを特徴とするフリッカ補正装置。

【請求項2】 前記階調補正手段は、

入力映像信号のフィールド周波数を $f_s$ とし、被写体の照明光の輝度変化の周波数を $F_p$ とすると、時間 $T_f = 1 / |f_s - F_p|$ 前に得られたフィールドの映像信号に対する補正係数を用いて入力映像信号の階調補正をするものであることを特徴とする請求項1記載のフリッカ補正装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CCDカメラ等において蛍光灯照明下で撮像した際に生じる映像信号のフリッカを低減するフリッカ補正装置に関するものである。

【0002】

【従来の技術】従来のフリッカ補正装置として、特開平4-298167号公報に記載されたものがある。図5はこのフリッカ補正装置の構成例を示すブロック図である。このフリッカ補正装置は、CCD1、増幅器2、A/D変換器3、デジタル信号処理部4、マイクロコンピュータ5、シャッタパルス発生回路6を含んで構成される。

【0003】このような構成のフリッカ補正装置において、シャッタパルス発生回路6は、CCDカメラのシャッタに対応する動作をし、撮像素子であるCCD1の蓄積時間を制御する。そしてCCD1はシャッタパルス発生回路6の出力信号に応じて、結像した被撮像体による撮像光を電気信号に変換する。増幅器2はCCD1から出力された映像信号を増幅する。そしてA/D変換器3はアナログの映像信号をデジタル信号に変換する。

【0004】マイクロコンピュータ5は、被写体の照明光源が、例えば照度の時間変化の大きい蛍光灯等の場合、この照明光源の光量変化によるフリッカをデジタル

信号処理部4からのデータを基に検出し、その検出結果に応じて制御信号を増幅器2とシャッタパルス発生回路6に出力している。シャッタパルス発生回路6はこの制御信号が与えられると、フリッカを最少にするようCCD1の蓄積時間を制御する。

【0005】このように、マイクロコンピュータ5で検出したフリッカ周波数に対し、CCD1のシャッタ速度を制御して、CCD1の駆動信号の同期をとることで、フリッカを低減している。

【0006】

【発明が解決しようとする課題】しかしながら、上記のようなCCDカメラのフリッカ補正装置においては、照明光源である蛍光灯等によるフリッカの検出にマイクロコンピュータ5が用いられており、さらにCCDのシャッタ速度を制御するため、シャッタパルス発生回路6が必要となる。このことはCCDカメラのコスト高の原因となっていた。

【0007】本発明は、このような従来の問題点に鑑みてなされたものであって、撮像素子からの映像信号に対して、デジタル信号処理によりフリッカ補正を行うことにより、CCDのシャッタ速度を制御しなくても、フリッカの少ない画像が得られるようにしたフリッカ補正装置を提供することを目的とする。

【0008】

【課題を解決するための手段】このような課題を解決するために、本願の請求項1に記載の発明は、輝度が周期的に変化する照明光の元で被写体を撮像したとき、撮像素子から得られる映像信号のフリッカを補正するフリッカ補正装置であって、前記撮像素子から得られる入力映像信号の画素を複数のブロックに分割し、分割されたブロック毎の輝度の平均値を算出する平均値算出手段と、フィールド毎に、前記平均値算出手段で算出された各ブロックの輝度の平均値のうちの最大値及び最小値を検出する最大・最小値検出手段と、前記最大・最小値検出手段で検出した最大値及び最小値から、フィールド毎の階調を補正するための補正係数を算出する補正量算出手段と、入力映像信号に生じたフリッカ周期を $T_f$ とすると、時間 $T_f$ 前に得られたフィールドの映像信号に対する前記補正係数を用いて入力映像信号の階調補正を行う階調補正手段と、を具備することを特徴とするものである。

【0009】また本願の請求項2に記載の発明では、前記階調補正手段は、入力映像信号のフィールド周波数を $f_s$ とし、被写体の照明光の輝度変化の周波数を $F_p$ とすると、時間 $T_f = 1 / |f_s - F_p|$ 前に得られたフィールドの映像信号に対する補正係数を用いて入力映像信号の階調補正をすることを特徴とするものである。

【0010】このような構成によって、フィールド間でフリッカによる輝度の変化が生じて、出力映像信号の階調が一定になるように補正される。このため、出力画

像はフリッカの低減されたものが得られる。

#### 【0011】

【発明の実施の形態】本発明の一実施の形態におけるフリッカ補正装置について図面を参照しつつ説明する。図1は本実施の形態におけるフリッカ補正装置の基本構成を示すブロック図である。このフリッカ補正装置は、被写体の撮像光を電気信号に変換するCCD1、CCD1の出力する映像信号を増幅する増幅器2、増幅器2の出力するアナログ映像信号をデジタル変換するA/D変換器3、映像信号の輝度値の時間的変化を分析し、映像信号の輝度値を補正することにより、フリッカを最小にするデジタル信号処理部4を含んで構成される。

【0012】このデジタル信号処理部4は、平均値算出回路41、最大・最小値検出回路42、ゲイン算出回路43、画像データ補正処理回路44を有している。平均値算出回路41はCCD1から増幅器2、A/D変換器3を通して入力された1フィールドの映像信号（画素信号）に対し、図2に示すように水平画素方向に複数ブロックに分割し、各ブロック毎の輝度の平均値を算出する回路である。最大・最小値検出回路42は、1フィールド中における各ブロックの輝度の平均値の最大値と最小値とを検出する回路である。ゲイン算出回路43は、検出した最大値及び最小値から、フィールド毎の階調補正を行うための補正係数を算出する補正量算出手段である。画像データ補正処理回路44は、フリッカによる画像の輝度変化の周期に基づき、6フィールド前の画素信号を用いて映像信号を補正して出力する階調補正手段である。

【0013】このように構成されたフリッカ補正装置の動作について説明する。図示しない画像メモリに保持された1フィールドの画素信号に対して、平均値算出回路41は、図2のように水平画素方向に例えば16分割する。1フィールドの垂直方向（V）の有効画素数が例えば240であれば、1フィールドについて計16×240のブロックに分割する。更に平均値算出回路41は、分割ブロック毎に輝度の平均値（ブロック平均値）を算出する。こうして平均値を取ることで、ノイズの混入による画素が不適当に階調補正されるのを防ぐ。

$$Y_{out\ n} < 0 \text{ のとき } Y_{out\ n} = 0 \quad \cdots (4)$$

$$Y_{out\ n} > 255 \text{ のとき } Y_{out\ n} = 255 \quad \cdots (5)$$

【0017】こうして図4に示すように、現在処理すべき輝度値 $Y_n$ に対して、6フィールド前の映像信号の輝度値 $Y_{n-6}$ で求めた補正係数を適用する。これにより、フィールドの平均輝度の高いフィールドには、小さな値の補正係数が用いられ、平均輝度の低いフィールドには大きな値の補正係数が用いられ、結果として各フィールド間の平均輝度が一定に保たれるようになる。

【0018】このように、フリッカ（輝度変化）の周期に基づいて補正を行い、各フィールドの階調レベルを一定に保つように動作するため、蛍光灯照明下におけるフ

【0014】次に、最大・最小値検出回路42は、求めた平均輝度の1フィールド内における最大値と最小値を求める。次にゲイン算出回路43は、フィールド毎の最大値と最小値とを用い、次の（1）、（2）式によりフィールド毎の階調を補正するための補正係数 $A_n$ 、 $B_n$ を算出する。

$$A_n = 255 / (MAX_n - MIN_n) \quad \cdots (1)$$

$$B_n = A_n \times MIN_n \quad \cdots (2)$$

ただし、 $MAX_n$ は第 $n$ フィールドにおけるブロック平均値の最大値

$MIN_n$ は第 $n$ フィールドにおけるブロック平均値の最小値

定数255は、画素信号のビット幅を8ビットとしたときの値である。

【0015】図3は入力輝度値 $Y_{in\ n}$ に対して補正を行い、出力輝度値 $Y_{out\ n}$ を算出する原理を示したグラフである。あるフィールドで、入力輝度値が最小値 $MIN$ ～最大値 $MAX$ の範囲で変動するとする。また、蛍光灯照明下でのフリッカのある映像信号は、図4のように画面の平均輝度が例えば6フィールド周期で変化するように繰り返されているものとする。そこで、図1の画像データ補正処理回路44では、6フィールド前の補正量を用いて、入力輝度値 $Y_{in\ n}$ を、（1）、（2）式の補正係数 $A_n$ と補正係数 $B_n$ とを用いて、次の（3）式により補正する。

$$Y_{out\ n} = A_{n-6} \times Y_{in\ n} - B_{n-6} \quad \cdots (3)$$

ただし、 $A_n$ 、 $B_n$ はそれぞれ（1）、（2）式で求めた値であり、 $Y_{in\ n}$ 、 $Y_{out\ n}$ はそれぞれ第 $n$ フィールドにおける画像データ補正処理回路44の入力画素の輝度値と出力画素の輝度値である。

【0016】さらにA/D変換器3のビット幅を8ビットとすると、 $Y_{out\ n}$ の値が8ビットのレベル0～255に納まる場合と、超える場合がある。超える場合は超えた出力輝度値を255で飽和させる。 $Y_{out\ n}$ の値が負になる場合は、出力輝度値を0にする。即ち、 $Y_{out\ n}$ に次の（4）、（5）式を用いてクリップ処理を施す。

フリッカを大幅に低減することができる。

【0019】なお、蛍光灯照明下でのフリッカのある映像信号は、図4のように画面の平均輝度の変化が6フィールド毎に繰り返されているとしたが、これはCCD1のシャッタ繰り返し周波数 $f_s$ が60Hzであり、商用周波数50Hzで駆動される蛍光灯の一方の電極付近で発光する蛍光体による照明の場合を想定したものである。

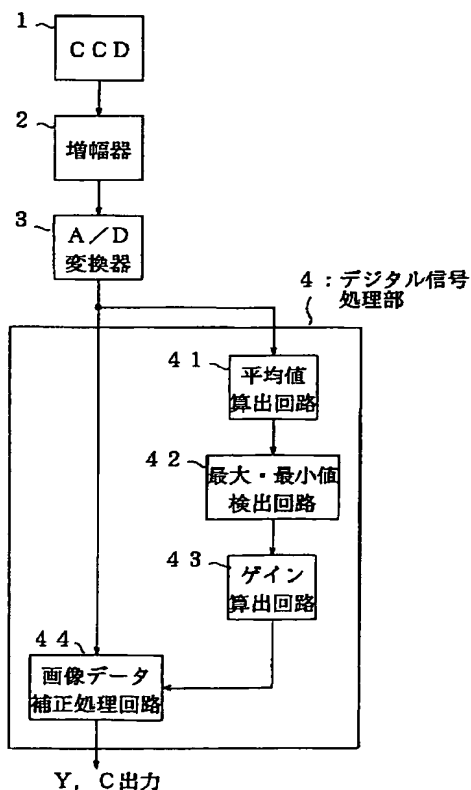
【0020】一般的には、商用周波数 $f_p$ Hzで駆動される蛍光灯の一方の電極付近で発光する蛍光体による照

明の場合、フリッカの繰り返し周波数は、 $|f_s - f_p|$  Hz となる。また蛍光灯の両方の電極により発光する蛍光体による照明の場合、 $|f_s - 2f_p|$  Hz となる。従って画像データ補正処理回路 44 は、入力映像信号のフィールド繰り返し周波数を  $f_s$  とし、被写体の照明光の輝度変化の周波数を  $F_p$  とするとき、時間  $T_f = 1/|f_s - F_p|$  前に得られたフィールドの映像信号に対する階調補正量を用いて階調補正をするものとする。

#### 【0021】

【発明の効果】以上のように本発明によれば、撮像素子から入力された映像信号において、デジタル信号処理部で各フィールド毎に輝度変化を検出し、この信号処理部で補正するようにしている。このためフリッカの検出にマイクロコンピュータを用いたり、撮像素子のシャッタ速度を制御する回路も必要なく、システムの簡素化と低コストを図った撮像装置のフリッカ補正装置が実現できる。

【図 1】



#### 【図面の簡単な説明】

【図 1】 本発明の実施の形態におけるフリッカ補正装置の構成を示すブロック図である。

【図 2】 1 フィールドの画素配置を示す説明図である。

【図 3】 画素信号の補正方法を示すグラフである。

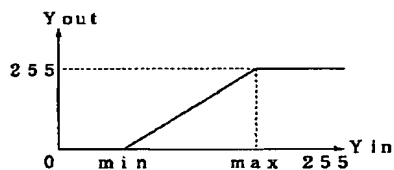
【図 4】 入力画像データの各フィールドにおける輝度分布を示す説明図である。

【図 5】 従来例におけるフリッカ補正回路の構成を示すブロック図である。

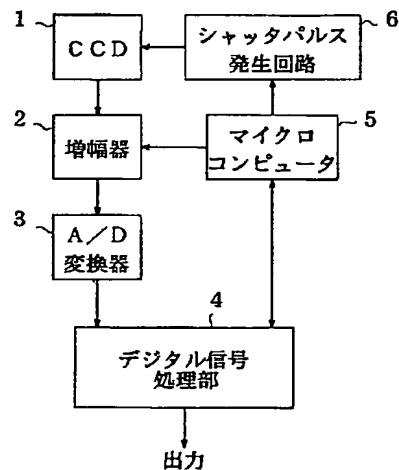
#### 【符号の説明】

- 1 CCD
- 2 増幅器
- 3 A/D 変換器
- 4 デジタル信号処理部
- 41 平均値算出回路
- 42 最大・最小値検出回路
- 43 ゲイン算出回路
- 44 画像データ補正処理回路

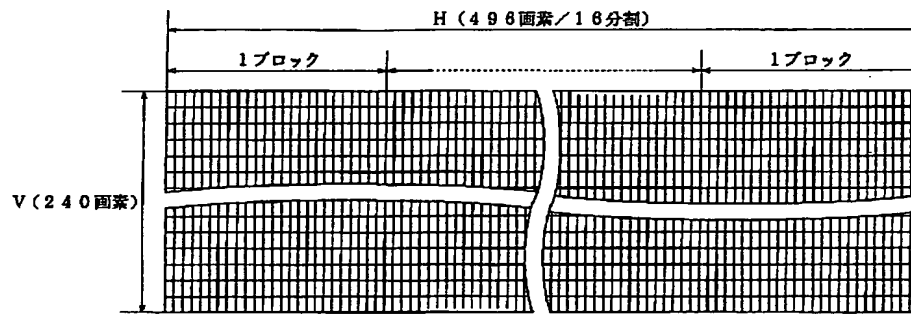
【図 3】



【図 5】



【図2】



【図4】

